

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Übersetzung der
europäischen Patentschrift

⑤① Int. Cl.⁶:
G 06 F 5/06

⑧⑦ EP 0 400 734 B1

⑩ **DE 690 21 446 T 2**

- | | | |
|----|---|--------------|
| ②① | Deutsches Aktenzeichen: | 690 21 446.4 |
| ⑧⑥ | Europäisches Aktenzeichen: | 90 201 320.0 |
| ⑧⑥ | Europäischer Anmeldetag: | 25. 5. 90 |
| ⑧⑦ | Erstveröffentlichung durch das EPA: | 5. 12. 90 |
| ⑧⑦ | Veröffentlichungstag
der Patenterteilung beim EPA: | 9. 8. 95 |
| ④⑦ | Veröffentlichungstag im Patentblatt: | 14. 3. 96 |

③⑩ Unionspriorität: ③② ③③ ③①
30.05.89 FR 8907099

⑦③ Patentinhaber:
Philips Electronics N.V., Eindhoven, NL

⑦④ Vertreter:
Peters, C., Dipl.-Ing., Pat.-Ass., 22335 Hamburg

⑧④ Benannte Vertragsstaaten:
DE, FR, GB, IT

⑦② Erfinder:
Butel, Pascal, F-75007 Paris, FR; Dahiot, Alain,
F-75007 Paris, FR; Ferrier, Joel, F-75007 Paris, FR

⑤④ Programmierbares Binärsignal-Verzögerungsverfahren und Anwendung auf ein Fehlerkorrigierkode-Verfahren.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 690 21 446 T 2

DE 690 21 446 T 2

Programmierbares Binärsignal-Verzögerungsverfahren und Anwendung auf ein Fehlerkorrigierkodeverfahren

Die Erfindung betrifft eine Verzögerungsanordnung zur Verzögerung eines seriellen digitalen Eingangssignals SIN um eine ganze Zahl M von Bitdauern H, also um eine Zeitdauer $\tau = M \cdot H$, und um es in ein verzögertes serielles digitales Ausgangssignal SOUT mit der gleichen Übertragungsrate wie SIN umzusetzen, wobei die
5 Anzahl M schrittweise programmierbar ist, welche Anordnung einen Speicher mit wahlfreiem Zugriff (RAM) umfaßt.

Die erfindungsgemäße Anordnung ermöglicht es, Verzögerungen von einigen Megabit mit Taktfrequenzen (Übertragungsraten) von mehr als 100 MHz zu erhalten. Solche Leistungen erlauben es, diese Anordnung insbesondere bei bekannten
10 Fehlerkorrekturcode-Anordnungen in einfacher Weise einzusetzen, die in der Telekommunikation beispielsweise zur Erzeugung von Verzögerungen von mehr als 500 Bitdauern mit einer Übertragungsrate von 40 MHz verwendet werden. Allgemeiner findet diese Anordnung jedesmal Anwendung, wenn es notwendig ist, ein Digitalsignal zu verzögern, ohne den Takt zu verändern, was für Anordnungen des FIFO-Typs gilt. Als
15 andere Anwendungsart im Bereich der Telekommunikation kann man noch Tiefpaßfilterung und im Videobereich die zweidimensionale Filterung nennen sowie weitere Anwendungen, die mit dem Eintritt des Digitalfernsehens Eingang gefunden haben.

Bei Betrachtung des Standes der Technik, der allgemein diesen Bereich der Technik umfaßt, kann man beispielsweise die technische Aufgabe nennen, die darin
20 besteht, durch Berechnung des Gradienten von zwei auf der gleichen Vertikalen gelegenen Punkten die horizontalen Konturen eines Videobildes zu extrahieren. Diese Operation erfordert die Verzögerung einer Videozeile, um sie mit der folgenden Zeile zu vergleichen, und es sind beispielsweise 4 Verzögerungsanordnungen mit jeweils einer Kapazität von mehreren hundert Bildelementen (Pixel) erforderlich.

25 Die Lösungen für diese Art von Problemen, die derzeit bekannt sind und verwendet werden, sind die folgenden:

- die Verwendung von analogen Verzögerungsleitungen, die auch Digitalsignale

verarbeiten können.

Diese Zeilen werden durch Verbindung aktiver Elemente wie Verstärker und passiver Elemente wie Induktivitäten und Kapazitäten realisiert. Sie weisen die Nachteile auf, wegen der Abweichungen der passiven Elemente zeitlich asynchron und wenig stabil zu sein, einen geringen Programmierbereich zu haben und teuer zu sein.

die Verwendung von CCD-Verzögerungsleitungen (CCD: Charge Coupled Device).

Diese Leitungen sind aus einer Reihe von Zellen gebildet, die eine elektrische Ladung speichern können, wobei die Zellen untereinander durch MOS-Transistoren verbunden sind, die, wenn sie leitend sind, den Ladungstransport von einer Zelle zur folgenden ermöglichen. Man erkennt in einem Strom-Spannungs-Wandler-CCD-System die CCD-Zeile und ihre Steuersignale, einen Strom-Spannungs-Wandler und einen Ausgangsabtaster. Die Nachteile der CCD-Leitungen sind ihre Trägheit (interne Taktfrequenz kleiner als 20 MHz), ihr schwieriger Betrieb (mehrere Speisespannungen sind erforderlich), die Unmöglichkeit, eine programmierbare Verzögerung zu erhalten, und ihre hohen Kosten.

die Verwendung programmierbarer Flipflops (D-Flipflops).

Diese Register, deren Funktionseigenschaften dicht bei den von der Erfindung angestrebten liegen, insbesondere die vollständig digitale Funktion, werden viel verwendet und sind einfach einsetzbar. Die Schiebefrequenzen können sehr hohe Werte annehmen (größer als 100 MHz) und diese Register sind leicht programmierbar. Ein großer Nachteil bleibt jedoch, und zwar beim Erhalten großer Verzögerungen, in Anbetracht der Tatsache, daß jede Verzögerungsbitdauer die Verwendung eines Flipflops mit seinem eigenen Takteingang erfordert und daß die Verwendung zahlreicher Schalter für die Erzeugung großer Verzögerungen zu große Laufzeitprobleme mit sich bringt. Für bedeutende Verzögerungen, größer als 500 Bitdauern, wird die Anzahl notwendiger Flipflops unerschwinglich und der Preis sehr hoch. Zum Beispiel ist das von der Firma Philips hergestellte, von 1 bis 64 Bits programmierbare Schieberegister HEF 4557 B bekannt, das bei einer Taktfrequenz von 20 MHz betrieben werden kann. Typischerweise unter 15 Volt ist auch das Schieberegister AMD 2804 bekannt, das

von der amerikanischen Firma AMD hergestellt wird und Verzögerungen zwischen 1 und 256 Bits bei Taktfrequenzen von 4 MHz liefern kann.

Aus dem Dokument EDN vom 5. Januar 1974, S. 64-67, D.C.

WYLAND: "Shift Registers Can Be Designed Using RAMs and Counter Chips" ist
5 auch eine Verzögerungsanordnung bekannt, die einen RAM-Speicher mit 1-Bit-Wörtern verwendet.

Erfindungsgemäß werden die Nachteile des Standes der Technik gemildert oder unterdrückt, indem die Anordnung nach Anspruch 1 und von der eingangs erwähnten Art dadurch gekennzeichnet ist, daß sie ein Eingangsregister mit mindestens einem
10 Bit vom Seriell-Ein-Parallel-Aus-Typ umfaßt, das mit dem genannten Speicher mit wahlfreiem Zugriff (RAM) verbunden ist und von dem jeder der r Bitplätze eine ganze Zahl p von Bits, die mindestens gleich 1 ist, enthält, ein Ausgangsregister mit mindestens einem Bit vom Seriell-Ein-Parallel-Aus-Typ, das mit dem genannten Speicher mit wahlfreiem Zugriff verbunden ist, sowie Mittel zur Steuerung des Speichers mit wahl-
15 freiem Zugriff, die von einem Decodierer gebildet werden, der an einem Eingangsbus die Zahl M in digitaler Form empfängt, einem zyklischen Zähler, der vom Ausgangsbus des Decodierers eine Programmierzahl N empfängt, mittels der er den Speicher mit wahlfreiem Zugriff zyklisch adressiert, und einer Ablaufsteuerungsschaltung, die von dem zyklischen Zähler ein Signal zur Steuerung des Schreib-Lese-Zyklus empfängt und
20 dem Speicher mit wahlfreiem Zugriff die Schreib-Lese-Steuerungssignale liefert, und daß der genannte Decodierer ein Subtrahierer ist, der folgende Operation ausführt:
 $M - q = N$, wobei q die interne Verzögerung ist, ausgedrückt als ganze Zahl von Perioden H , die das Eingangsregister, das Ausgangsregister und der RAM-Speicher während des Betriebs mit sich mitbringen.

25 Der prinzipielle Erfindungsgedanke ist, einen RAM-Speicher als Register zu verwenden und dieses Register global als gewöhnliches Schieberegister arbeiten zu lassen, bis auf den Unterschied, daß zum Aufbau einer vorgegebenen Verzögerung die Information in digitaler Form auf einem festen Speicherplatz des RAM-Speichers gespeichert wird statt auf unterschiedlichen Bitplätzen wie im Fall eines Schieberegisters.
30 Für eine solche Funktionsweise ist eine zyklische Adressierung des RAM notwendig, sowie eine Synchronisation der Schreib- und Lesezeitpunkte bezüglich des Bittakts und eine Decodierung der Anzahl erhaltener Verzögerungsbits, um eine gewisse Zahl Ver-

zögerungsbits zu berücksichtigen, die der RAM-Speicher und die zugehörigen Eingangs- und Ausgangsregister mit sich bringen. Es sei bemerkt, daß der RAM-Speicher eine große Speicherkapazität für digitale Informationen haben kann, die unmittelbar mit den gewünschten Verzögerungen zusammenhängt, daß er mit hoher Geschwindigkeit arbeitet, in direktem Zusammenhang mit der Anzahl Bits pro Speicherplatz, wobei er insgesamt nur einen einzigen Takteingang benötigt und daß sein Preis im Vergleich zu dem von mehreren Hunderten, selbst Tausenden D-Flipflops mit jeweils einem Takteingang sehr niedrig ist. Auch sei bemerkt, daß ein Flipflop auf einem Chip einer integrierten Schaltung für 1 Bit 2mal soviel Raum einnimmt (an Siliciumfläche) als eine RAM-Speicherzelle von 8 Bits.

Eine bevorzugte Ausführungsform der erfindungsgemäßen Anordnung ist dadurch gekennzeichnet, daß der RAM-Speicher in Wörtern von p Bits organisiert ist, wobei p gleich 2 oder einem Vielfachen von 2 ist, daß das genannte Eingangsregister einen seriellen Eingang und p parallele Ausgänge hat, das genannte Ausgangsregister p parallele Eingänge und einen seriellen Ausgang hat und daß er außerdem gerade oberhalb des Eingangsregisters ein programmierbares Schieberegister umfaßt, das vom Ausgangsbus des Decodierers die niedrigstwertigen Bits der Programmierzahl N empfängt, wobei eine Anzahl Bits mit der Verschiebung 1 geliefert werden, so daß: $np + 1 - 1 = N$, und daß der genannte Decodierer zum Liefern eines wesentlichen Teils n der Programmierzahl N an den zyklischen Zähler eingerichtet ist.

Der Hauptvorteil dieser Ausführungsform ist, daß das Multiplexen der Bits vor dem Lesen in dem Speicher es erlaubt, Taktfrequenzen von typischerweise mehr als 100 MHz zu erhalten, und zwar zu einem im Vergleich zu der Lösung mit Flipflops niedrigen Preis; zur Erläuterung kann man den Fall vordiffundierter Schaltungen nennen, wo eine RAM-Zelle 3 gleichwertige Gatter darstellt statt der 6 für einen D-Flipflop.

Zum näheren Verständnis sind Ausführungsbeispiele der Erfindung in der Zeichnung dargestellt und werden im folgenden näher beschrieben. Es zeigen:

Figur 1 das Blockschaltbild einer ersten Ausführungsform der Erfindung,
Figur 2 ein Zeitdiagramm zur Erläuterung der Funktionsweise der Anordnung von Figur 1,

Figur 3 das Blockschaltbild einer zweiten Ausführungsform der Erfin-

dung.

Die in Figur 1 dargestellte Verzögerungsanordnung besteht aus einer Hauptverarbeitungskette für ein digitales Eingangssignalsignal SIN, im oberen Teil der Figur, und einer sekundären Kette zur Steuerung der Hauptkette im unteren Teil der Figur. Das Signal SIN wird einem bitweise programmierbaren Schieberegister, mit dem Bezugszeichen 12, zugeführt. Das Register 1 besteht beispielsweise aus einer Reihenschaltung aus einem p-Bit-Schieberegister 2 mit seriellem Eingang und p parallelen Ausgängen und einem Multiplexer 3 mit p parallelen Eingängen, je einem aus p, und einem seriellen Ausgang. Das Register 1 führt ein digitales serielles Signal INR einem Eingangsregister 4 zu, das mit dem Schieberegister 2 identisch ist, das über einen Datenbus mit p Leitungen 5 ein Signal DIN einem Speicher mit wahlfreiem Zugriff (RAM) 6 zuführt, der r p-Bit-Plätze hat. Ein Ausgangsbus 7 mit p Leitungen, der das Signal DOUT führt, ist mit einem Ausgangsregister 8 mit p parallelen Eingängen und seriellem Ausgang verbunden, dessen Ausgang, der auch der Ausgang der Verzögerungsanordnung ist, das Signal SOUT führt. Das Signal SOUT ist die Kopie des um eine ganze Zahl M von Bitdauern verzögerten Signals SIN, dessen Minimalwert in der Größenordnung einiger Bitdauern liegt (typischerweise unter 20 Bits) und dessen Maximalwert mehrere Megabit annehmen kann. Ein Taktsignal H mit der Periode H wird den Registern 2, 4 und 8 und dem Speicher 6 zugeführt. Die Frequenz $1/H$ des Taktsignals kann 100 MHz übersteigen. Zur Erzeugung von Verzögerungen bis zu einigen hundert Bits mit einer Übertragungsrate $1/H$ von 40 MHz können die Elemente 2, 3, 4, 6 und 8 mit Hilfe der folgenden Schaltungen realisiert werden, zusammen mit ihren weiter unten beschriebenen Steuerschaltungen.

Register 2 und 4	:	74F164
25 Multiplexer 3	:	74F151
Speicher 6	:	statischer RAM HM65161, hergestellt von dem französischen Unternehmen Matra Harris,
Register 8	:	2 mal 74F194.

Der Wert von p, vorzugsweise größer als 1 und gleich 2 oder einem Vielfachen von 2, wird in dem vorliegenden Ausführungsbeispiel gleich 8 gewählt. Die maximal mögliche Übertragungsrate $1/H$ ist eine direkte Funktion von p und daher umso größer, je größer p ist. Das Schieberegister 1 ist optional; falls es nicht vorhanden

ist, ermöglicht die Verzögerungsanordnung Verzögerungen in Schritten von p Bits zu realisieren. Für die meisten Anwendungen und selbst für große Verzögerungen ist es jedoch wünschenswert, bitweise variierende Verzögerungen zu erhalten, was mit dem programmierbaren Register 1 möglich ist.

- 5 Die sekundäre Steuerungskette, die im unteren Teil der Figur dargestellt ist, besteht aus einem Decodierer 11, einem zyklischen Zähler 12 und einer Ablaufsteuerung 13, die beispielsweise mit den folgenden integrierten Schaltungen realisiert werden:

Decodierer 11 : mehrere in Kaskade geschaltete Addierer HE4008B

Zähler 12 : mehrere Schaltungen 74F163

- 10 Ablaufsteuerung 13 : 74F374.

Das Taktsignal H wird den Elementen 12 und 13 zugeführt. Der Decodierer 11 empfängt von einem Bus 14 die von dem Benutzer eingegebene Anzahl Verzögerungsbitdauern in paralleler digitaler Form. Von dieser Zahl wird in dem Decodierer 11 eine feste ganze Zahl q , die gleich einiger Einheiten ist, subtrahiert. Die Subtraktion $M-q$ erfolgt
 15 beispielsweise durch Zuordnung des 2-Komplements von q . Aus der in 11 erfolgten Decodierung ergibt sich die Ausgabe einer Zahl N in paralleler digitaler Form auf einem Bus 15 am Ausgang des Decodierers 11. Die Bits mit niedrigstem Stellenwert werden über einen Bus 16 dem Multiplexer 3 zugeführt, um einen der p Eingänge zu selektieren, und die übrigen Bits (mit höherem Stellenwert) über einen Bus 17 dem zyklischen
 20 Zähler 12. Der Bus 16 ist Träger der Zahl $l-1$, so daß $1 \leq l \leq p$ und der Bus 17 ist Träger der Zahl n , deren kleinster Wert 1 ist. In dem Zähler 12 erfolgt eine Taktänderung bei 18, damit dieser Zähler alle p Taktschläge um eine Einheit erhöht wird, was somit einen Zähltakt mit der Periode pH ergibt, der auch über eine Leitung 19 der Ablaufsteuerung 13 zugeführt wird. Der Zähler 12 führt eine zyklische Zählung ... 0,
 25 1, ..., $n-1$, 0, 1 ... aus und diese n Zählzustände werden binär als ebenso viele Lese- und Schreibadressen auf einem Adressenbus 21 ausgegeben, der die Bildung von n Erst-Lese-dann-Schreib-Zyklen ermöglicht, jeder mit einer Dauer pH in den n Speicherplätzen aus den r Plätzen des Speichers 6. Die Erst-Lese-dann-Schreib-Sequenz innerhalb jedes Zyklus wird von der Ablaufsteuerung 13 gebildet, die hierzu die Taktsignale H
 30 und pH empfängt und so gesteuert wird, daß sie dem Speicher 6 ein Lesesignal R auf der Leitung 22 und dann ein Schreibsignal W auf einer Leitung 23 liefert.

Die Funktionsweise der Verzögerungsanordnung wird durch das Zeitdia-

gramm der Figur 2 für den speziellen Fall erläutert, bei dem in dem Speicher 6 nur ein einziger Speicherplatz von 8 Bits verwendet wird, was einem Wert $n = 1$ entspricht, beim Zustand 0 ... 001 für den Bus 17, und beim Zustand 0 ... 000 für den Adressenbus 21. In Figur 2 sind die Signale H, SIN, INR, DIN, AD, und damit der Adressierungszustand vom Bus 21, R, W, DOUT und SOUT dargestellt.

Die dem Eingangsbus 14 des Decodierers zugeführte Zahl M ist beispielsweise gleich 23, was eine Verzögerung zwischen den Signalen SIN und SOUT von $\tau = 23 H$ mit sich bringt. Der Decodierer 11 addiert zu der Zahl M die Binärdarstellung im 2-Komplement der Zahl $q = 11$. Der Bus 16 mit 3 Leitungen führt die Binärzahl $l-1 = 100$, d.h. 4, was eine Verzögerung des Signals SIN durch das Schieberegister 1 hindurch von $\tau_2 = 5 H$ bedeutet, entsprechend dem Wert $l = 5$. Der Bus 17, der beispielsweise 6 Leitungen umfaßt, führt die Binärzahl $n = 00000001$, was am Ausgangsbus 21 des zyklischen Zählers 12 als permanente Binärkonfiguration 000000 erscheint, die den ersten Platz des Speichers 6 adressiert. Die Programmierzahl N am 15 ist daher gleich 000001100 und ihr Hauptteil n beträgt 1. Es sei bemerkt, daß der Zähler für Werte von n größer als 1 zyklisch im Rhythmus $1/8 H$ die ersten n Adressen des Speichers 6 zwischen 0 und n-1 ausgibt. Die disjunkten Erst-Lese-dann-Schreib-Phasen im Laufe jedes Zyklus mit einer Dauer 8 H werden so gewählt, daß ein Zeitintervall Δt gleich einer ganzen Zahl k von Perioden H die den Anfang jeder Phase markierenden Zeitpunkte trennt. Bei dem Beispiel von Figur 2 ist $\Delta t = kH = 4 H$ gewählt worden. Ein Platz des Speichers 56, der zu einem Zeitpunkt t_1 beschrieben worden ist, wird also n Zyklen später mit einer Verzögerung von $t_1 + npH - kH$ gelesen, d.h. mit einer Verzögerung von 4 H für den Fall von Figur 2. Die Gesamtheit der Elemente 4, 6 und 8 bringt jedoch eine innere Verzögerung von $\tau_3 = mH$ mit sich, die durch die Technologie und die Art des verwendeten Speichers bestimmt wird, wobei diese Verzögerung in der Größenordnung von einigen Takt Dauern mit Hilfe der weiter oben beschriebenen Synchronisationsmittel ebenfalls gleich einer ganzen Zahl m von Perioden H gemacht wird. In Figur 2 ist die Verzögerung τ_3 gleich $\tau_3 = mH = 14 H$, wobei die Verzögerung pH infolge der Parallelisierung des Signals INR durch das Schieberegister 4 berücksichtigt wird. Die Berechnung der Zahl q kann aus den folgenden beiden Gleichungen abgeleitet werden:

$$M - q = np + 1(l-1) = N$$

$$M = (np-k) + m + 1$$

so daß

$$q = m - k + 1.$$

Es sei bemerkt, daß die Anordnung von Figur 1 auch durch Kalibrierung und Regelung
5 justiert werden kann, d.h. die im Decodierer 11 zu subtrahierende Zahl kann ohne
vorhergehende Berechnung erhalten werden, indem dem Bus 15 die Binärkonfiguration
0...01000 zugeführt und die Verzögerung zwischen den Signalen SIN und SOUT, die
gleich qH ist, gemessen wird.

Die Verzögerungsanordnung von Figur 1 ermöglicht es, programmierbare
10 Verzögerungen mit Schritten H zu bilden, die gleich oder größer als $(p+q)H$ sind, d.h.
19 H in dem Beispiel von Figur 2. Für bestimmte Anwendungen kann es notwendig
sein, über eine quasi universelle Verzögerungsanordnung zu verfügen, d.h. eine, die die
Leistungen der Anordnung von Figur 1 aufweist und außerdem die Realisierung der
kleinen Verzögerungen zwischen $2H$ und $(p+q-1)H$ zuläßt. In diesem Fall ist eine
15 Anpassung des elektronischen Schaltbildes von Figur 1 erforderlich, wie in Figur 3
dargestellt, wo man die folgenden zusätzlichen Elemente erkennt:

zwischen dem programmierbaren Schieberegister 25 und dem Eingangsregister
4 sowie am Ausgang der Verzögerungsanordnung ermöglichen zwei Zwei-Stel-
lungs-Schalter 26 bzw. 27 die serielle digitale Information abzuzweigen, die
20 nicht mehr entlang der Elemente 4, 6 und 8, sondern durch ein 1-Bit-Synchroni-
sationsregister 28 verläuft, das das Taktsignal H empfängt. Die Schalter 26 und
27 werden von einem Signal C mit zwei Zuständen, 0 oder 1, gesteuert, das aus
dem Decodierer 29 kommt, der die oben genannte und in Fig. 3 gezeigte Ab-
zweigung bewirkt, wenn detektiert wird, in dem Decodierer 29, daß die Zahl
25 M kleiner als $p+q$ ist (beispielsweise $C = 0$). Das Signal C wird in dem Deco-
dierer 29 mit Hilfe von durch 31 bezeichnete Logikschaltungen erzeugt, deren
Anordnung dem Fachmann überlassen wird. Es sei bemerkt, daß das Signal C
auch die Decodierung im Inneren des Decodierers geringfügig verändern muß,
um die Verzögerung einer von dem Register 28 eingebrachten Taktdauer zu
30 berücksichtigen; für die binäre Eingangskonfiguration $M = 0 \dots 0010$ am Ein-
gangsbus 14 muß die Konfiguration am Ausgangsbus 15 beispielsweise $N = 0$
... 0000 sein. Außerdem hat das programmierbare Schieberegister 25 eine

Länge von mindestens gleich $p+q-1$, und dieses Register erhält daher eine oder mehr Leitungen für seine Programmierung; diese Abwandlungen sind in Figur 3 mit einer gestrichelten Linie 32 dargestellt, innerhalb des Registers 25, und mit dem Zwei-Stellungs-Schalter 33, der von dem Signal C gesteuert wird und die
5 Abzweigung einer oder mehrerer Leitungen von höherer Rangordnung als die vom Bus 16 vom zyklischen Zähler 34 zum Multiplexer 35 ermöglicht.

Vorteilhafterweise wird die Verzögerungsschaltung von Figur 1 als integrierte Schaltung auf einem Chip aus Halbleitermaterial realisiert.

Eine vereinfachte, nicht dargestellte Ausführungsform besteht im Weglas-
10 sen des programmierbaren Schieberegisters 1 in der Verzögerungsanordnung von Figur 1, im Zuführen aller Leitungen des Busses 15 zum zyklischen Zähler 12 und im Verwenden eines RAM-Speichers 6 mit 1-Bit-Speicherplätzen. Dies führt zu einem sehr einfachen Schaltbild der erfindungsgemäßen Verzögerungsanordnung, aber für Anwendungen, für die die Taktfrequenz $1/H$ niedrig ist, typischerweise kleiner als 10 MHz.

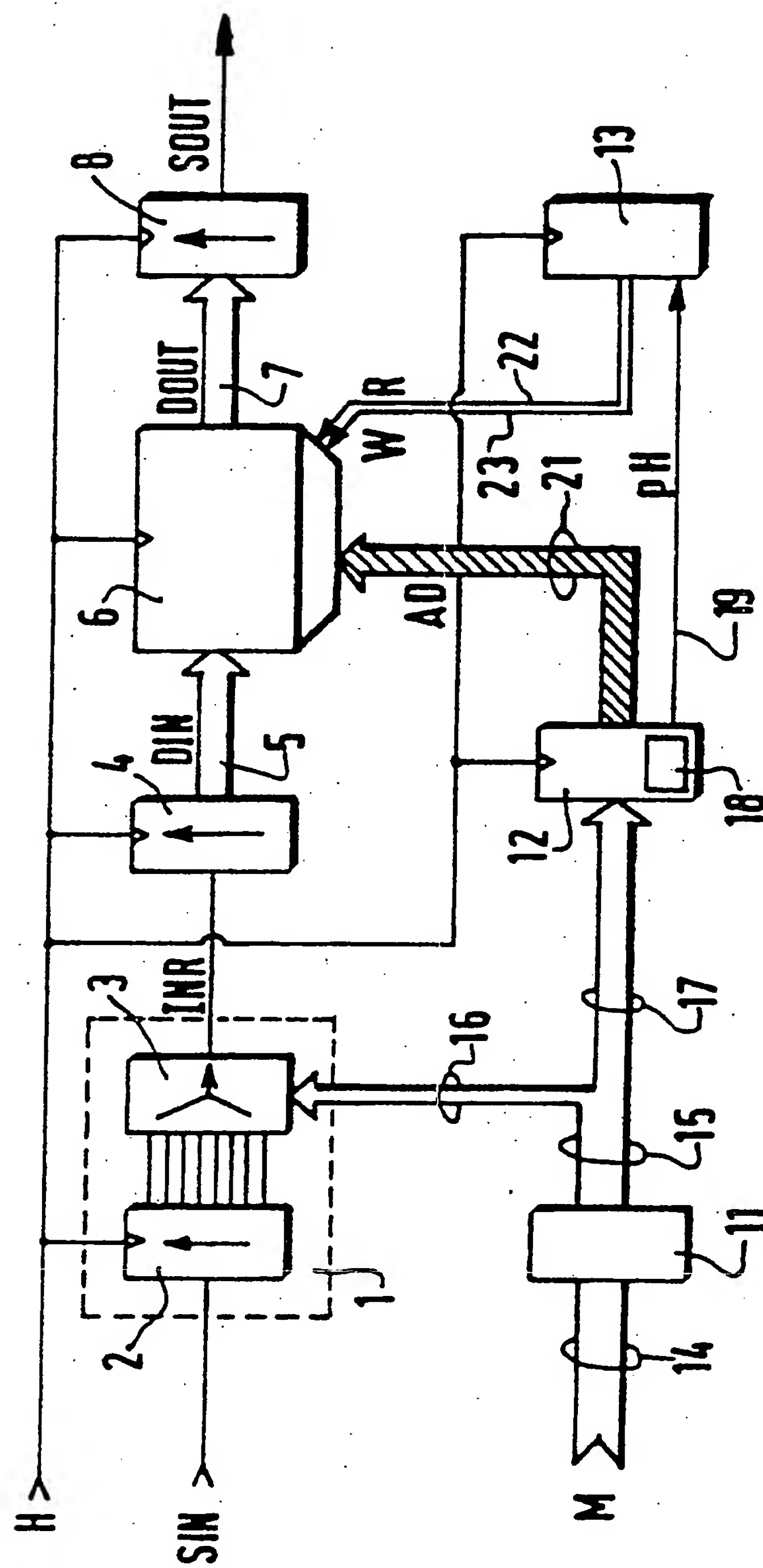
15 Vorstehend ist ein statischer RAM-Speicher beschrieben worden, der für die Ausführung der Erfindung am geeignetsten ist; es ist jedoch auch möglich, einen dynamischen RAM-Speicher zu verwenden, vorausgesetzt, daß die Auffrischungszyklen mindestens für die belegten n Speicherplätze der r Plätze, über die der Speicher verfügt, während jeder Dauer npH eingehalten werden, um keine in diesen n Speicherplätzen
20 enthaltenen Informationen zu verlieren. Andererseits ist in den Figuren 1 und 3 der RAM-Speicher 6 mit getrenntem Eingangsdatenbus und Ausgangsdatenbus dargestellt; ein gemeinsamer Eingangs/Ausgangsdatenbus kann in bekannter Weise mit Hilfe geeigneter Befehle für diese Art der Speicherkonfiguration verwendet werden. Das Schreib-Lese-Steuersignal des RAM 6 kann auch von einer einzelnen, von der Ablauf-
25 steuerung 13 kommenden Leitung geführt werden, in diesem letzteren Fall ist also eine weitere, die Elemente 13 und 126 verbindende Leitung zur Schreib-Lese-Freigabe erforderlich.

PATENTANSPRÜCHE

1. Verzögerungsanordnung zur Verzögerung eines seriellen digitalen Eingangssignals SIN um eine ganze Zahl M von Bitdauern H, also um eine Zeitdauer $\tau = M \cdot H$, und um es in ein verzögertes serielles digitales Ausgangssignal SOUT mit der gleichen Übertragungsrate wie SIN umzusetzen, wobei die Anzahl M schrittweise programmierbar ist, welche Anordnung einen Speicher mit wahlfreiem Zugriff (6) umfaßt, dadurch gekennzeichnet, daß sie ein Eingangsregister mit mindestens einem Bit (4) vom Seriell-Ein-Parallel-Aus-Typ umfaßt, das mit dem genannten Speicher mit wahlfreiem Zugriff (RAM 6) verbunden ist und von dem jede der r Bitplätze eine ganze Zahl p von Bits, die mindestens gleich 1 ist, enthält, ein Ausgangsregister (8) mit mindestens einem Bit vom Seriell-Ein-Parallel-Aus-Typ, das mit dem genannten Speicher mit wahlfreiem Zugriff verbunden ist, sowie Mittel zur Steuerung des Speichers mit wahlfreiem Zugriff (6), die von einem Decodierer (11, 29) gebildet werden, der an einem Eingangsbus (14) die Zahl M in digitaler Form empfängt, einem zyklischen Zähler (12, 36), der vom Ausgangsbus (17) des Decodierers (11, 29) eine Programmierzahl N empfängt, mittels der er den Speicher mit wahlfreiem Zugriff (6) zyklisch adressiert, und einer Ablaufsteuerungsschaltung (13), die von dem zyklischen Zähler (34) ein Signal zur Steuerung des Schreib-Lese-Zyklus empfängt und dem Speicher mit wahlfreiem Zugriff (6) die Schreib-Lese-Steuerungssignale liefert, und daß der genannte Decodierer (11, 29) ein Subtrahierer ist, der folgende Operation ausführt: $M - q = N$, wobei q die interne Verzögerung ist, ausgedrückt als ganze Zahl von Perioden H, die das Eingangsregister (4), das Ausgangsregister (8) und der Speicher mit wahlfreiem Zugriff während des Betriebs mit sich mitbringen.

2. Verzögerungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Speicher mit wahlfreiem Zugriff (6) in Wörtern von p Bits organisiert ist, wobei p gleich 2 oder einem Vielfachen von 2 ist, daß das genannte Eingangsregister (4) einen seriellen Eingang und p parallele Ausgänge hat, das genannte Ausgangsregister (8) p parallele Eingänge und einen seriellen Ausgang hat und daß er außerdem gerade ober-

- halb des Eingangsregisters (4) ein programmierbares Schieberegister (1, 25) umfaßt, das vom Ausgangsbus (15) des Decodierers (11, 15) die niedrigstwertigen Bits der Programmierzahl N empfängt, wobei eine Anzahl Bits mit der Verschiebung 1 geliefert werden, so daß: $n_p + 1 - 1 = N$, und daß der genannte Decodierer zum Liefern eines wesentlichen Teils n der Programmierzahl N an den zyklischen Zähler (12, 34) eingerichtet ist.
3. Verzögerungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß das programmierbare Schieberegister (1) durch eine Reihenschaltung aus einem p-Bit-Schieberegister (2) mit seriellen Eingang und p parallelen Ausgängen und einem Multiplexer (3) mit serielltem Eingang, jeweils einem aus p, und serielltem Ausgang gebildet wird.
4. Verzögerungsanordnung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß das genannte, mit Schritten von 1 Bit programmierbare Schieberegister (25) so eingerichtet ist, daß seine Länge mindestens gleich: $p + q - 1$ ist, daß der genannte Decodierer (29) Detektionsmittel (31) umfaßt, um zu detektieren, ob die Zahl M größer oder gleich oder aber kleiner $p + q$ ist, sowie Steuerungsmittel (33, 26), um für den Fall, daß M kleiner als $p + q$ ist, gleichzeitig die niedrigstwertigen Eingangsbits des Decodierers (29) auf eine vereinfachte Decodieranordnung innerhalb des Decodierers zu schalten und den seriellen Datenausgang des programmierbaren Schieberegisters auf den Ausgang der Verzögerungsanordnung.
5. Verzögerungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß sie in Form einer einzigen integrierten Schaltung verwirklicht wird.
6. Anwendung der Verzögerungsanordnung nach einem der Ansprüche 1 bis 5 auf eine Fehlerkorrektur-Codeeinrichtung, um Verzögerungen zu realisieren, die größer als 500 Bitdauern sind, mit einer Übertragungsrate von ungefähr 40 MHz.
7. Anwendung der Verzögerungsanordnung nach einem der Ansprüche 1 bis 5 auf die Verzögerung von (einer) digital codierten Bildzeile(n).



1913

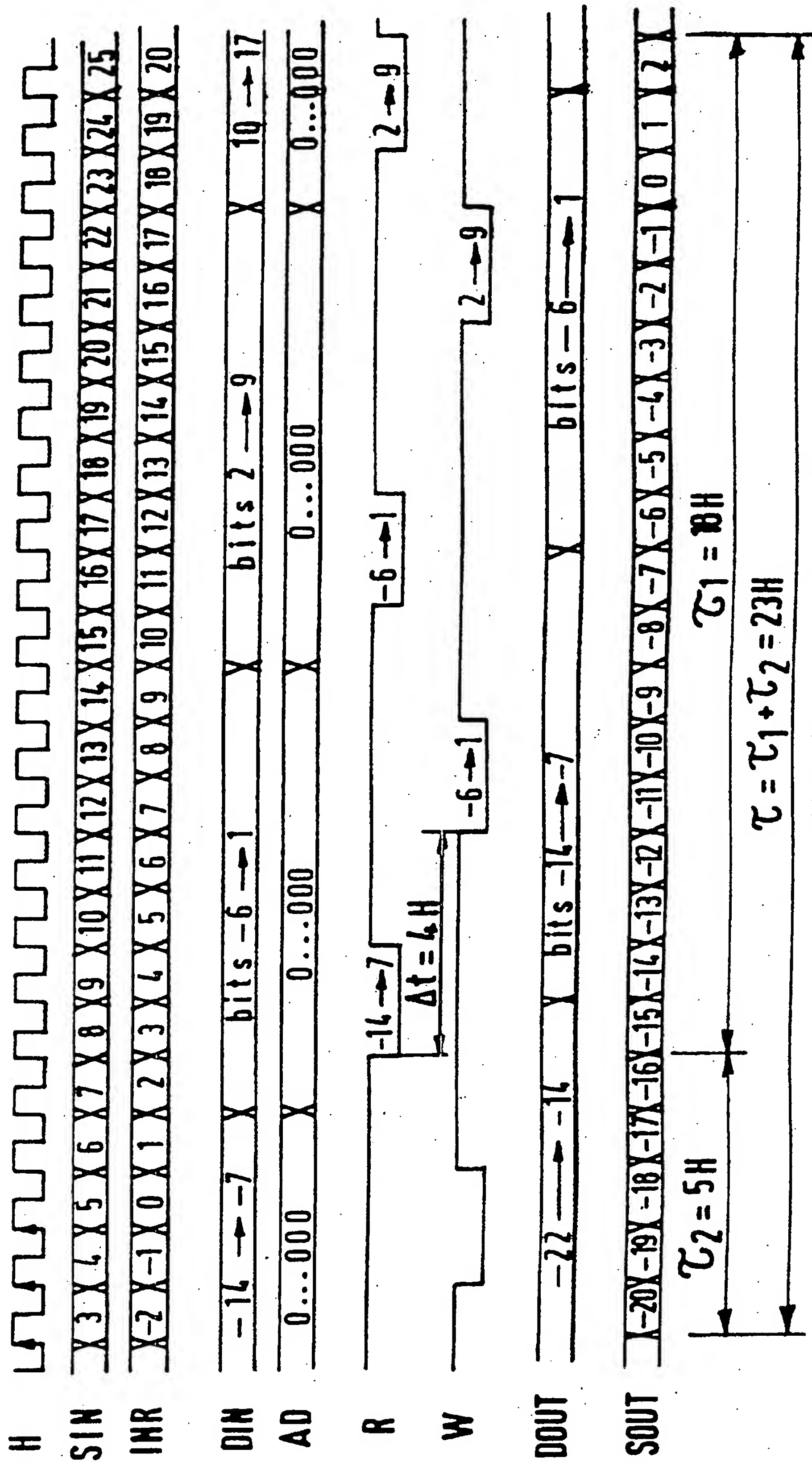


FIG. 2

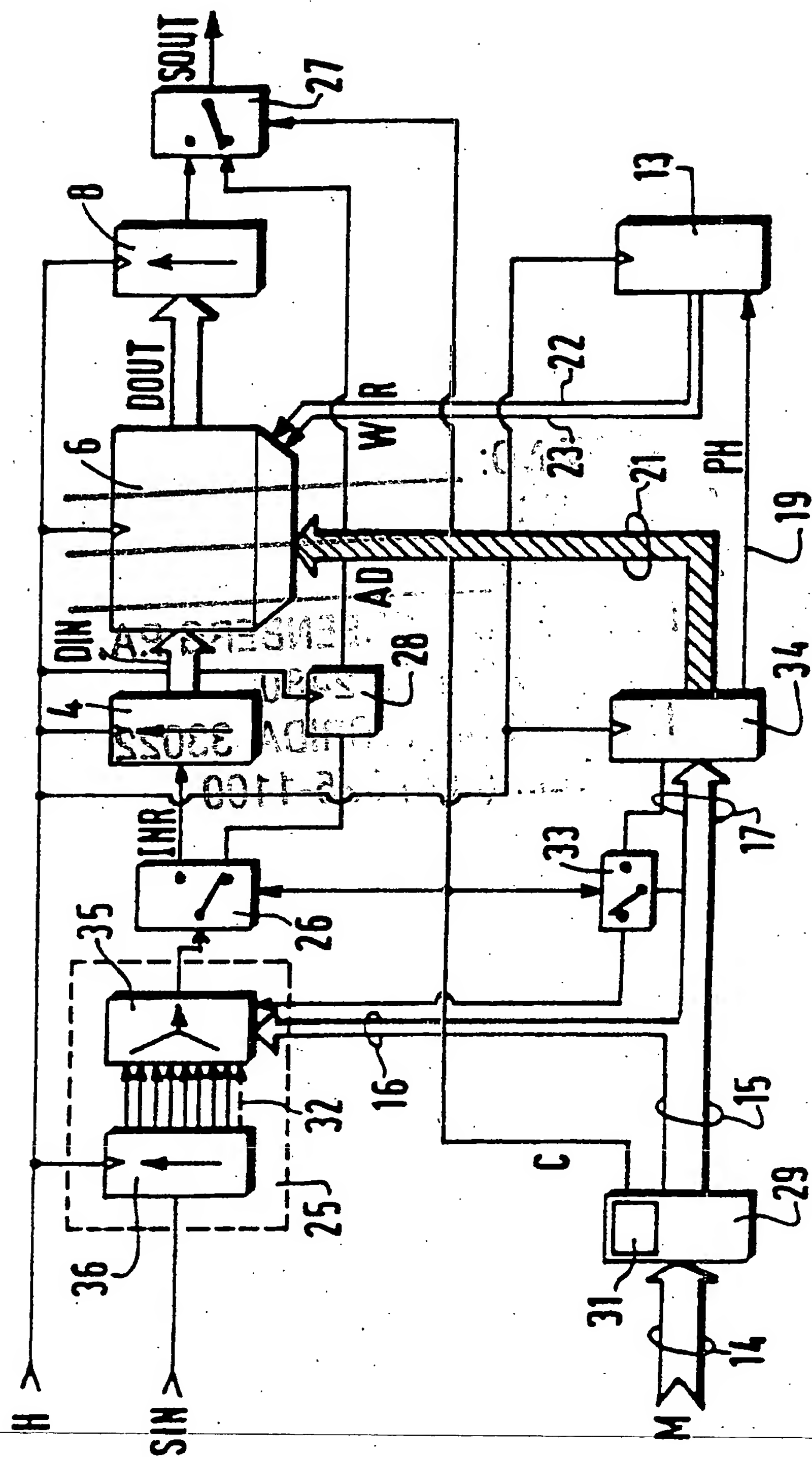


FIG. 3

DOCKET NO: P2000, 0257
SERIAL NO: _____
APPLICANT: Haiko Fibrant et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100